

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-223514

(43)Date of publication of application : 30.08.1996

(51)Int.Cl.

H04N 5/66
G09G 3/28
G09G 5/00

(21)Application number : 07-030607

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 20.02.1995

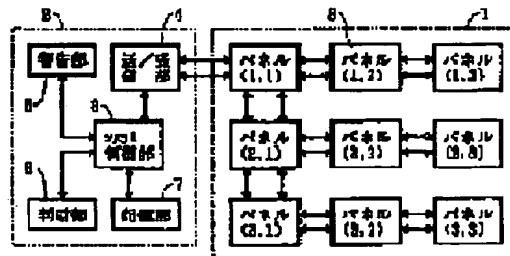
(72)Inventor : OTA EIJU

(54) MULTI-PANEL SYSTEM

(57)Abstract:

PURPOSE: To allow the system to recognize matrix arrangement automatically based on an address replied by a final panel by allowing each panel of each succeeding stage to recognize its own address sequentially based on address data given to a top panel.

CONSTITUTION: Panels 3 each having a row address and a column address of the 1st column and of the 1st row in a multi-panel 1 in matrix arrangement are connected longitudinally and laterally by a couple of line. Similarly lateral panels of the 2nd row where a panel (2, 1) is a head address and lateral panels of the 3rd row where a panel (3, 1) is a head address are connected. Each panel 3 recognizes and stores the arrangement position of its own panel and gives arrangement position data to a succeeding stage and transfers a reply from the succeeding stage to a pre-stage. When applying power, the arrangement detection mode is set, a system control section 8 gives a head address to a head panel (1, 1) via a transmission reception section 4 and automatically recognizes the entire matrix arrangement based on a reply from the final panel.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-223514

(43)公開日 平成8年(1996)8月30日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/66	1 0 1		H 0 4 N 5/66	1 0 1 B
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	W
5/00	5 1 0	9377-5H	5/00	5 1 0 V

審査請求 未請求 請求項の数12 O L (全 6 頁)

(21)出願番号 特願平7-30607

(22)出願日 平成7年(1995)2月20日

(71)出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72)発明者 太田 英寿

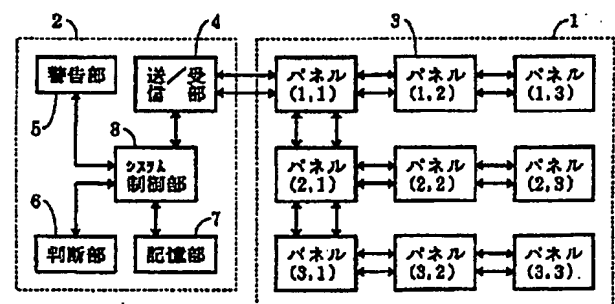
川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(54)【発明の名称】 マルチパネルシステム

(57)【要約】

【目的】 先頭のパネルに与えたアドレスデータを基準に、後段に接続した各パネルが順次自分のアドレスを認識し、最終のパネルが応答したアドレスに基づきシステムがマトリクス配列を自動的に認識する。

【構成】 パネル3をマトリクス状に組み合わせて配置し、各パネルを少なくとも1対の制御線で相互に接続したマルチパネル1と、先頭のパネルにアドレスデータ(1, 1)を供給し、PDPパネル3から送信されるアドレスデータに基づきパネル配列を認識するシステム制御装置2と、PDPパネル3と、アドレスデータを先頭のパネルに送信するとともに、PDPパネル3から送信されるアドレスデータを受信し、さらに、各PDPパネル3に制御データを送信する送/受信部4と、警告の表示を行う警告部5と、パネル配列を判断する判断部6と、記憶部7と、システム制御部8とでなる。



【特許請求の範囲】

【請求項1】 複数台のパネルをマトリクス配列に配置し表示画像をパネル毎に制御する大画面表示構成のマルチパネルシステムにおいて、

供給された配列位置データにより自パネルの配列位置を認識し記憶し、次段の配列位置データを生成し供給するとともに次段からの応答を前段に転送する双方向通信機能を備えたパネルと、前記マトリクス配列の先頭パネルに配列位置データを供給し、最終パネルからの配列位置データの応答によりマトリクス配置全体を認識するシステム制御装置とを含み、各行の最終パネルが同パネルの配列位置データを前段に送信するとともに各パネルが前記最終パネルの配列位置データをシステム制御装置に転送することを特徴としたマルチパネルシステム。

【請求項2】 上記マトリクス配列をマトリクスの第一列で列方向にパネル接続を行うことを特徴とした請求項1記載のマルチパネルシステム。

【請求項3】 上記パネルをPDP（プラズマディスプレイ）で構成したことを特徴とする請求項1記載のマルチパネルシステム。

【請求項4】 上記パネルを液晶で構成したことを特徴とする請求項1記載のマルチパネルシステム。

【請求項5】 上記パネルを、行方向にパネルを接続した横系統に対する送信及び受信を行うとともに、列方向にパネルを接続した縦系統に対する送信及び受信を行う水平／垂直・送／受信部と、各行の最終位置に接続されたパネルを検出する終端検出部と、位置データと画像制御データとを記憶するメモリ部と、位置データに1を加算する加算部と、フレーム画像データを記憶するフレームメモリ部と、画像の部分拡大のための信号処理及び表示信号処理を行う拡大／映像信号処理部と、画像を表示する表示部と、各部を制御するパネル制御部とで構成した請求項1記載のマルチパネルシステム。

【請求項6】 上記水平／垂直・送／受信部が、水平（行）方向の前段に接続するために行及び列に対応する1対の信号端子を設けるとともに、水平（行）方向の後段に接続するための行及び列に対応する1対の信号端子を設け、垂直（列）方向の前段に接続するために行及び列に対応する1対の信号端子を設けるとともに、垂直（列）方向の後段に接続するための行及び列に対応する1対の信号端子を設けることを特徴とした請求項5記載のマルチパネルシステム。

【請求項7】 上記水平／垂直・送／受信部が、行及び列に対応する1対の信号端子を行データ及び列データを伝送する1つの信号端子で実現したことを特徴とする請求項5記載のマルチパネルシステム。

【請求項8】 上記パネルが行方向のパネル接続系統では列データに1を加算した配列位置データを生成し、列方向のパネル接続系統では行データに1を加算した配列位置データを生成して次段に送信することを特徴とした

請求項5記載のマルチパネルシステム。

【請求項9】 上記パネルが自パネルのマトリクス配列中の配置を認識し、その配置に基づき部分拡大表示の際、フレーム映像の部分を取り出して拡大表示処理を行うことを特徴とした請求項5記載のマルチパネルシステム。

【請求項10】 上記終端検出部を端子のインピーダンスを計測して外部接続の有無を判定する請求項5記載のマルチパネルシステム。

10 【請求項11】 上記システム制御装置を、先頭パネルに最初の配列位置データを供給するとともに各パネルからの応答信号を受信する送／受信部と、各行の最終パネルの配列位置データに基づきマトリクス配列を判断する判断部と、前記マトリクス配列を記憶する記憶部と、各行の最終アドレスの列データが一致しないマトリクス配列を検出した場合警告を表示する警告部と、各部を制御するシステム制御部とで構成した請求項1記載のマルチパネルシステム。

20 【請求項12】 上記システム制御装置をシステムに電源が投入された際、マトリクス配置を検出するモードに移行するシステム制御装置で構成した請求項11記載のマルチパネルシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数台の表示用パネルをマトリクス配列に配置した大画面表示構成のマルチパネルシステムに係わり、詳しくは、パネルの配列を自動認識するシステムに関する。

【0002】

30 【従来の技術】 従来、PDPパネルは単体で映像表示用に利用されるほか、複数を縦（列）横（行）方向に隣接設置したマトリクス配列のマルチパネルシステムとして、この複数の画面に種々の映像を表示する多画面表示装置に利用している。さらに、マルチパネルシステムの利用方法には、個々のPDPパネルに部分映像を表示し、全体で拡大表示を効果的に行うこともできるため、会議室、イベント会場やショールーム等で薄型、高輝度の

40 【0003】 図4に従来のマルチパネルシステムの実施例ブロック図を示す。21は、例えば、9枚のPDPパネル23を3×3のマトリクス状に組み合わせて配置し、各パネルを制御線で相互に接続したマルチパネルである。22は各PDPパネル23に拡大処理を行うか否か等の指示を与えると同時に、外部から前記マルチパネル21のマトリクス配列データ25を入力して記憶するシステム制御装置である。24は前記マトリクス配列データ25を記憶する記憶部である。26はマトリクス配列データ25（上記例の場合、（3，3））を入力するとともに、各部を制御するシステム制御部である。27

50 は供給されるビデオ信号であり、例えば、各PDPパネ

ル23に対し直列に伝送される。

【0004】上記した従来のマルチパネルシステムでは、システム制御装置22が各PDPパネル23に対し、供給されたビデオ信号27を、例えば、拡大処理するか否か等の制御を行う。拡大処理を行う場合、システム制御部26はマルチパネル21のマトリクス配列に基づきPDPパネル23毎にアドレスを供給し、各PDPパネル23は所要部分のビデオ信号を拡大処理する。例えば、先頭パネル(1, 1)は、1フレームの画像を3×3の9枚に分割した内の、左側の上段に相当するビデオ信号を拡大処理し、最終パネル(3, 3)は、右側の下段に相当するビデオ信号を拡大処理するように、各PDPパネル23毎に所要部分の拡大を行い、マルチパネルシステムが画像全体の拡大表示を行う。ところで、上述した従来のマルチパネルシステムでは、予め、外部からマトリクス配列データ25を供給する必要がある、マルチパネル21のマトリクス配列を変更した場合、その都度、新たにマトリクス配列データ25を供給する手間がかかり、煩わしい問題があった。

【0005】

【発明が解決しようとする課題】本発明は上記問題点を鑑みなされたもので、所定の方法でマルチパネルシステムの制御線を接続しておき、例えば、電源を供給する等により、パネルの配列を自動的に認識できるマルチパネルシステムを提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために、複数台のパネルをマトリクス配列に配置し表示画像をパネル毎に制御する大画面表示構成のマルチパネルシステムにおいて、供給された配列位置データにより自パネルの配列位置を認識し記憶し、次段の配列位置データを生成し供給するとともに次段からの応答を前段に転送する双方向通信機能を備えたパネルと、前記マトリクス配列の先頭パネルに配列位置データを供給し、最終パネルからの配列位置データの応答によりマトリクス配置全体を認識するシステム制御装置とを含み、各行の最終パネルが同パネルの配列位置データを前段に送信するとともに各パネルが前記最終パネルの配列位置データをシステム制御装置に転送する。

【0007】

【作用】以上のように構成したので、図3に示すマルチパネルシステムのパネル間接続とアドレスデータの生成及び転送の動作を説明する図に基づき、マトリクス配列が2行×2列の例で説明する。パネルをマトリクス配列に配置し、パネル間を行及び列に対応する2本の信号線で配線し、先頭のパネル配列位置を(1, 1)とする。この先頭のパネル(1, 1)は、システム制御装置から配列位置データ(1, 1)が供給されると、配列位置データ(1, 1)を自分のアドレスとして記憶するとともに、配列位置データ(1, 1)の列データに1を加算し

て配列データ(1, 2)を生成し、水平(横)方向の隣接パネル(1, 2)に送信する。アドレス(1, 2)のパネル(1, 2)はこの行の最終パネルであることを検出し、自分のアドレス(1, 2)をパネル(1, 1)を経由してシステム制御装置(図示せず)に送信する。

【0008】また、パネル(1, 1)は配列位置データ(1, 1)の行データに1を加算して配列データ(2, 1)を生成し、垂直(縦)方向の隣接パネル(2, 1)に送信する。さらに、パネル(2, 1)は、前記配列位置データ(2, 1)を自分のアドレスとして記憶するとともに、配列データ(2, 1)の列データに1を加算して配列位置データ(2, 2)を生成し、水平(横)方向の隣接パネル(2, 2)に送信する。アドレス(2, 2)のパネル(2, 2)はこの行の最終パネルであることを検出し、自分のアドレス(2, 2)をパネル(2, 1)、パネル(1, 1)の順に各パネルを経由してシステム制御装置(図示せず)に送信する。システム制御装置(図示せず)では、パネルから送信されたアドレス(1, 2)及びアドレス(2, 2)に基づき、例えば、行データと列データの和を計算し、大きいアドレスである(2, 2)をパネル配列であると認識する。

【0009】

【実施例】以下、本発明によるマルチパネルシステムについて、図を用いて詳細に説明する。図1は、本発明によるマルチパネルシステムの実施例ブロック図である。1は例えば、9枚のPDPパネル3を3×3のマトリクス状に組み合わせて配置し、各パネルを少なくとも1対の制御線で相互に接続したマルチパネルである。2は、マトリクス配列の先頭のパネル(1, 1)に配列位置(アドレス)データ(1, 1)を供給し、PDPパネル3から送信される配列位置(アドレス)データに基づきパネル配列を認識する一方、各PDPパネル3に拡大処理を行うか否か等の指示を与えるなど、前記マルチパネル1に対して各種制御を行うシステム制御装置である。3はPDPパネルである。4は配列位置(アドレス)データ(1, 1)を先頭のパネル(1, 1)に送信する一方、PDPパネル3から送信される配列位置(アドレス)データを受信し、さらに、各PDPパネル3に制御データを送信する送/受信部である。5はマルチパネルの配列が不合理の場合などに警告の表示を行う警告部である。6はPDPパネル3から送信される配列位置(アドレス)データの中から、例えば、行データと列データの和を計算し、最大のアドレスをパネル配列と判断する判断部である。7は、前記パネル配列を記憶する記憶部である。8は各部を制御するシステム制御部である。

【0010】図2は本発明によるマルチパネルシステムのパネルの実施例ブロック図である。10は行方向にパネルを接続した横系統にたいする送信及び受信を行うとともに、列方向にパネルを接続した縦系統にたいする送信及び受信を行う水平/垂直・送/受信部である。15

は各行の最終位置に接続されたパネルを検出する、例えば、端子のインピーダンスを計測して次段にパネルが接続しているか否かを判定する、終端検出部である。11は自パネルの位置データと、例えば、輝度、色相等の画像制御データとを記憶するメモリ部である。12は位置データの行データ若しくは列データに1を加算する加算部である。13はフレーム画像データを記憶するフレームメモリ部である。14は画像の部分拡大のための信号処理及び表示信号処理を行う拡大／映像信号処理部である。16は画像を表示する表示部である。18は各部を制御するパネル制御部である。

【0011】本発明によるマルチパネルシステムの動作を図1、図2及び図3に従い説明する。システム制御装置2及びマルチパネル1と各パネル間の接続について述べる。図1に示すように、マルチパネル1の各パネル3をマトリクス配列の第一列で列方向に行アドレスと列アドレスを別々に1対の線で縦系統のパネル接続するとともに、パネル(1, 1)を先頭に第一行の行方向に行アドレスと列アドレスを別々に1対の線で横系統のパネル接続する。同様に1対の線で、パネル(2, 1)を先頭に第二行の横系統のパネル接続を行い、更に同様にして、パネル(3, 1)を先頭に第三行の横系統のパネル接続を行う。上記マルチパネル1の配線状態において、例えば、電源投入を行い、マトリクス配置を検出するモードに移行させる。システム制御装置2は送／受信部4を経由してマルチパネル1の先頭のパネル(1, 1)に先頭の配列位置(アドレス)データ(1, 1)を供給する。

【0012】アドレスデータの認識動作を以下に説明する。まずパネルの端子及びその接続を詳細に述べる。図3に示すように、各パネルは2対の入力端子(HXI, HYI)及び(VXI, VYI)と2対の出力端子(HX0, HY0)及び(VX0, VY0)とを備えていて、例えば、パネル(1, 1)は出力端子(HX0, HY0)とパネル(1, 2)の入力端子(HXI, HYI)とを接続し、また、パネル(1, 1)は出力端子(VX0, VY0)とパネル(2, 1)の入力端子(VXI, VYI)とを接続している。また、パネル(2, 1)は出力端子(HX0, HY0)とパネル(2, 2)の入力端子(HXI, HYI)とを接続している。尚、パネル(1, 1)の入力端子は、システム制御装置2(図1)に接続されている。また、各パネルのその他の端子は解放されている。

【0013】図3(イ)に示すように、パネル(1, 1)は入力端子(HXI, HYI)にデータ(HXI = 1, HYI = 1以降「行」、「列」の順に1, 1で示す)が配列位置データ(1, 1)として供給されると、前記配列位置データ(1, 1)を自分のアドレスとして記憶(認識)するとともに、配列位置データ(1, 1)の列データに1を加算して出力端子(HX0, HY0)にはデータ(1, 2)を出力し、水平(横)方向の隣接パネル(1, 2)へは前記データ(1, 2)が供給される。パネル(1, 2)で

は出力端子(HX0, HY0)及び(VX0, VY0)ともに解放されていて、次段にパネルの接続が無い状態であるから、前記アドレスデータ(1, 2)を1行目の最終アドレスとしてそのまま、逆の順にパネル(1, 1)側に転送する。

【0014】図3(ロ)に示すように、パネル(1, 1)は、自パネルの配列位置データ(1, 1)の行データに1を加算して出力端子(VX0, VY0)にデータ(2, 1)を出力し、垂直(縦)方向の隣接パネル(2, 1)へは前記データ(2, 1)が供給される。パネル(2, 1)は、前記配列位置データ(2, 1)を自分のアドレスとして記憶するとともに、配列位置データ(2, 1)の列データに1を加算して出力端子(HX0, HY0)にはデータ(2, 2)を出力する。

【0015】図3(ハ)に示すように、パネル(2, 1)の出力端子(HX0, HY0)のデータ(2, 2)は水平(横)方向の隣接パネル(2, 2)の入力端子(HXI, HYI)へ供給される。パネル(2, 2)では、前記配列位置データ(2, 2)を自分のアドレスとして記憶するとともに、出力端子(HX0, HY0)及び(VX0, VY0)ともに解放されていて、次段にパネルの接続が無い状態であるから、前記アドレスデータ(2, 2)を2行目の最終アドレスとしてそのまま、逆の順にパネル(2, 1)、パネル(1, 1)側に転送する。上記説明は2×2マトリクス配列を例に、アドレスデータの転送と各パネルのアドレスの認識方法を説明したが、マトリクス配列の大きさは2×2に限定するものでなく、図1の3×3マトリクス配列にも適応する。

【0016】図1のシステム制御装置2側はパネル側から各行の最終アドレスデータが送信されると、送／受信部4を経由して判断部6が、例えば、パネルから送信されたアドレス(1, 3)、アドレス(2, 3)及びアドレス(3, 3)を受取り、同データに基づき、行データと列データの和を計算し、最大のアドレスである(3, 3)をこのパネル配列であると認識できる。

【0017】各パネルの動作は、図2に示すように、双方向の送信及び受信を水平／垂直・送／受信部10が行い、上述の最大のアドレスデータ等を送信する。メモリ部11は配列位置データを自分のアドレスとして記憶し、加算部12は適宜行データあるいは列データに1を加算する。終端検知部15は、例えば、端子のインピーダンスを計測して、各行の最終パネルであることを検出する。具体例としてパネルの拡大表示動作についてのべる。パネルにビデオ信号が供給され、例えば、拡大表示が指示されると、予め、システム制御装置2がパネル配列を自動認識するとともに、各パネルが自パネルの配置を自動認識しているので、例えば、部分拡大表示の際、自パネルの配置に基づきパネルが備えているフレームメモリ部13からフレーム映像の所要部分を所要タイミングで読み出し拡大表示処理を行うことができる。さらに、システム制御装置2からパネル毎に輝度等の表示制

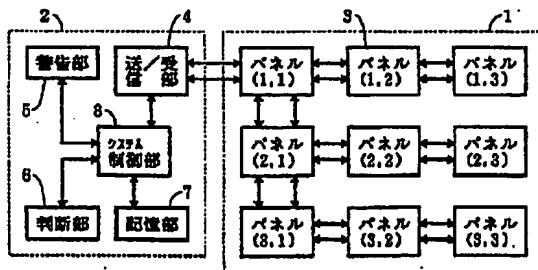
御を行うこともできる。

【0018】尚、図1の判断部6でパネルから送信された各行の最終アドレスが、例えば、アドレス(1, 2)、アドレス(2, 3)及びアドレス(3, 3)であるとする。この場合、第一行の列データのみ2で、他の行は3であり、一致しない。従って、第一行の最終パネル(1, 3)の配線が外れている、或いは、故障などが発生していると判断できる。よって、警告部5でその旨の警告表示を行うようにすることができる。また、マトリクス配置を検出するモードに移行するためには、電源投入時に限定するものではなく、例えば、システム制御部8の外部にモードスイッチを設けて任意時刻にマトリクス配置を検出するようにしても良い。また、上述の例ではマルチパネル1を構成するパネルとしてPDPパネルについて説明したが、本発明はPDPパネルに限定するものでなく、例えば、液晶パネルを用いたマルチパネルシステムであっても良い。また、図2に示した水平/垂直・送/受信部10が、行及び列に対応する1対の信号端子を時分割により行データ及び列データを伝送する方式にして、1つの信号端子で実現しても良い。

【0019】

【発明の効果】以上説明したように、本発明は所定の方法でマルチパネルシステムの制御線を接続しておき、例えば、電源を供給する等により、パネルの配列を自動的に認識できるマルチパネルシステムを提供する。従って、会議場、イベント会場やショールーム等で、複数のPDPパネル画面などに種々の映像を多画面で表示する際、異なるマトリクス配列のマルチパネルシステムに対しても、予め、外部からマトリクス配列データを供給する必要がない。特に、個々のPDPパネルに部分映像を拡大表示した大画面の拡大表示をする際、本発明は各パネルが自パネルの配置を自動認識するので、従来のマルチパネルシステムのように、パネル毎にマトリクス配置データを供給する煩わしさを解消できるメリットがある。

【図1】



【図面の簡単な説明】

【図1】本発明によるマルチパネルシステムの実施例ブロック図である。

【図2】本発明によるマルチパネルシステムのパネルの実施例ブロック図である。

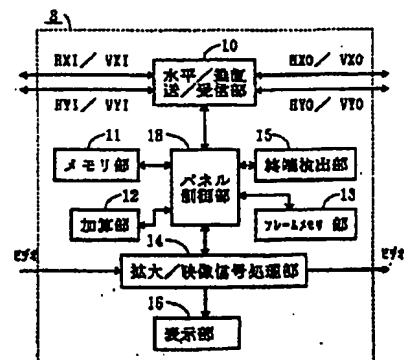
【図3】本発明によるマルチパネルシステムのパネル間接続とアドレスデータの生成及び転送の動作を説明する図である。

【図4】従来のマルチパネルシステムの実施例ブロック図である。

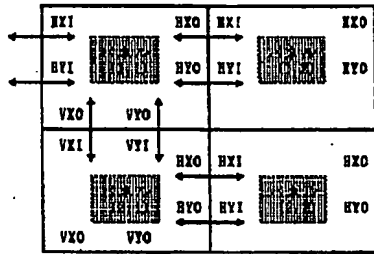
【符号の説明】

- 1 マルチパネル
- 2 システム制御装置
- 3 PDPパネル
- 4 送/受信部
- 5 警告部
- 6 判断部
- 7 記憶部
- 8 システム制御部
- 10 水平/垂直・送/受信部
- 11 メモリ部
- 12 加算部
- 13 フレームメモリ部
- 14 拡大/映像信号処理部
- 15 終端検出部
- 16 表示部
- 18 パネル制御部
- 21 マルチパネル
- 22 システム制御装置
- 23 PDPパネル
- 24 記憶部
- 25 マトリクス配列データ
- 26 システム制御部
- 27 ビデオ信号

【図2】



【図3】



(イ)

パネル (1.1)				パネル (1.2)			
入力		出力		入力		出力	
HXI	1	HYO	1	HXI	1	HYO	1
HVI	1	HYO	2	HVI	2	HYO	2

(ロ)

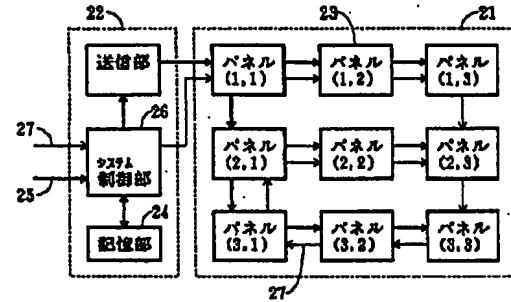
パネル (1.1)				パネル (2.1)			
入力		出力		入力		出力	
HXI	1	VXO	2	VXI	2	HYO	3
HVI	1	VYO	1	VVI	1	HYO	2

(ハ)

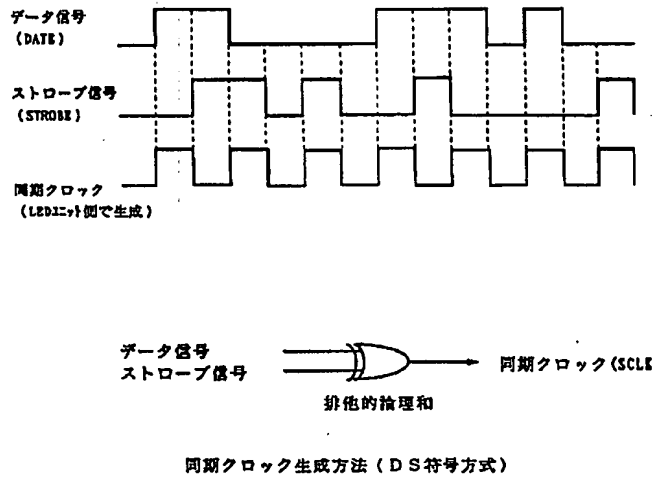
パネル (2.1)				パネル (2.2)			
入力		出力		入力		出力	
VXI	2	HYO	2	HXI	2	HYO	2
VVI	1	HYO	2	HVI	2	HYO	2

(ニ)

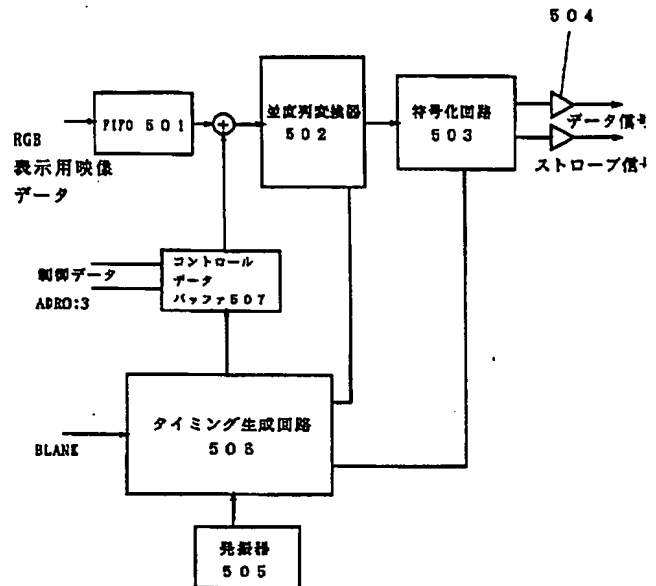
【図4】



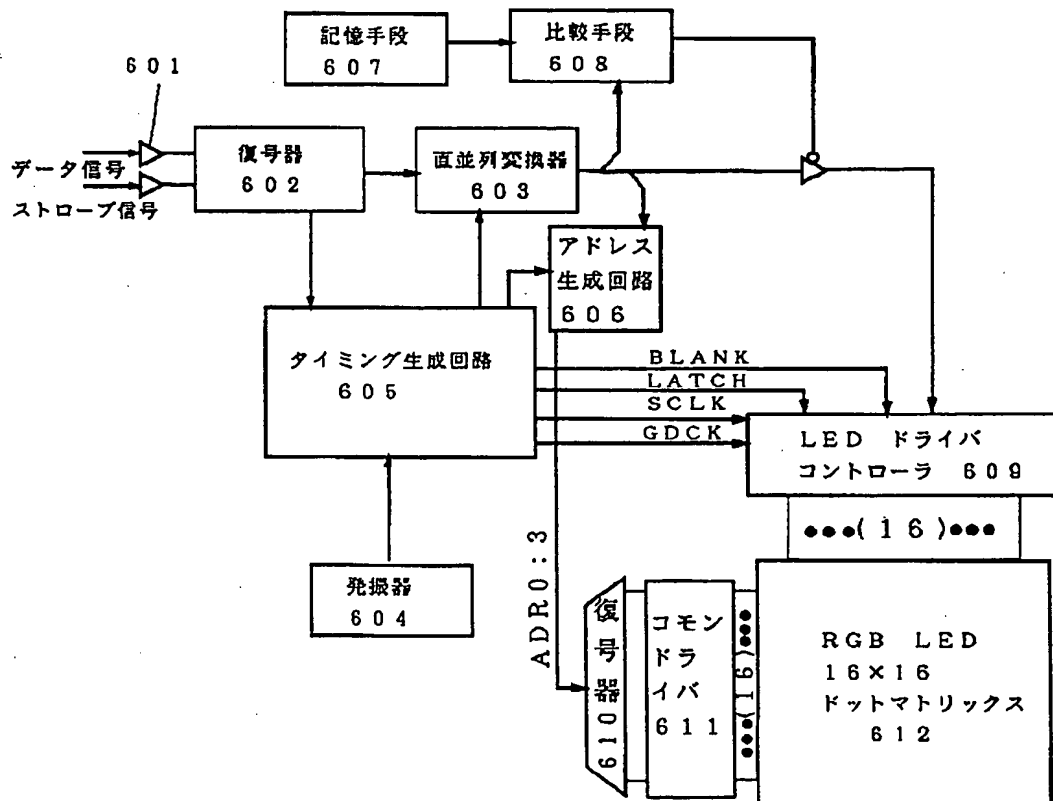
【図4】



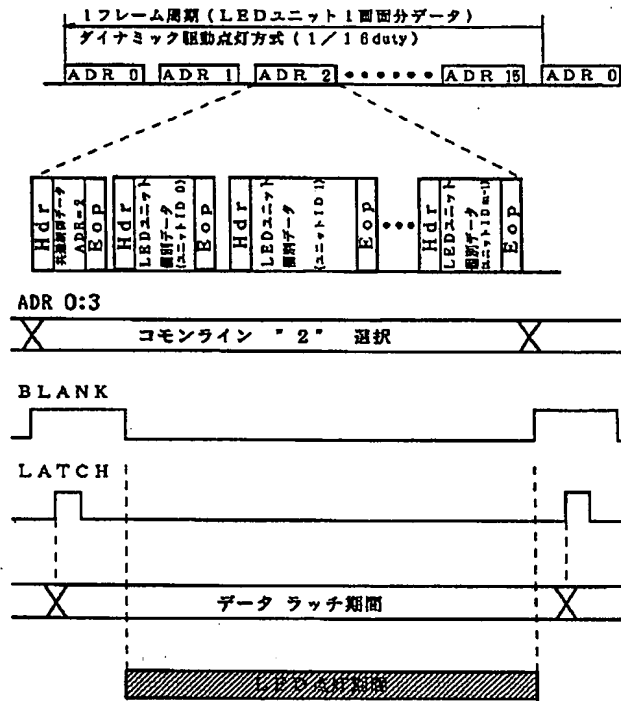
【図5】



【図6】



【図7】



【図8】

